

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Makoto SHIOMI; Tomoo FURUKAWA; Koichi MIYACHI;
and Kazunari TOMIZAWA

Application No: **NEW**

Filed: April 2, 2004

For: DRIVING DEVICE OF IMAGE DISPLAY DEVICE, PROGRAM
AND STORAGE MEDIUM THEREOF, IMAGE DISPLAY DEVICE,
AND TELEVISION RECEIVER

PRIORITY LETTER

MAIL STOP NEW APPLICATION

April 2, 2004

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sirs:

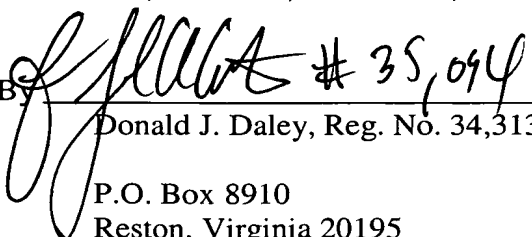
Pursuant to the provisions of 35 U.S.C. 119, enclosed are certified copies of the following priority documents.

<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
2003-099637	04/02/2003	JAPAN
2003-099645	04/02/2003	JAPAN

In support of Applicants' priority claim, please enter these documents into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By  # 35,094
Donald J. Daley, Reg. No. 34,313

DJD/bof

P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

日本国特許庁
JAPAN PATENT OFFICE

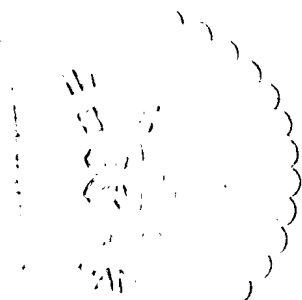
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 4月 2日
Date of Application:

出願番号 特願2003-099637
Application Number:
[ST. 10/C]: [J. P 2003-099637]

出願人 シャープ株式会社
Applicant(s):



2004年 3月22日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 02J04812

【提出日】 平成15年 4月 2日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/20 624
G09G 3/36 632
G09F 9/35 305
H04N 5/202

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 塩見 誠

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 古川 智朗

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 富沢 一成

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【選任した代理人】.

【識別番号】 100113701

【弁理士】

【氏名又は名称】 木島 隆一

【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像表示装置の駆動装置、そのプログラムおよび記録媒体、画像表示装置、並びに、テレビジョン受像機

【特許請求の範囲】

【請求項 1】

各画素の今回の階調を示す第 1 階調データを、その γ 特性よりも大きな γ 特性を持った第 2 階調データに変換する階調変換手段と、

各画素の今回の第 2 階調データを次回まで記憶する記憶手段と、

当該記憶手段から読み出した前回の第 2 階調データから、今回の第 2 階調データへの階調遷移を強調するように、今回の第 2 階調データを補正する補正手段とを備え、

上記第 1 階調データの変換によって取り得る第 2 階調データの下限值は、第 2 階調データが表現可能な数値範囲の下限值よりも大きな値に設定されていることを特徴とする画像表示装置の駆動装置。

【請求項 2】

上記第 2 階調データのビット幅は、第 1 階調データのビット幅よりも広く設定されていることを特徴とする請求項 1 記載の画像表示装置の駆動装置。

【請求項 3】

上記第 1 階調データのビット幅は、8 ビットであり、上記第 2 階調データのビット幅は、10 ビットであることを特徴とする請求項 2 記載の画像表示装置の駆動装置。

【請求項 4】

上記第 2 階調データを記憶手段および補正手段へ入力する前に、ノイズデータを加算し、さらに、予め定められたビット幅の下位ビットを切り捨てるノイズ付加手段と、

互いに同じ色で互いに隣接する画素への第 2 階調データに加算されるノイズデータ同士がランダムな大きさになるように、上記ノイズデータを生成して、上記ノイズ付加手段へ与えるノイズ生成手段とを備えていることを特徴とする請求項 1 記載の画像表示装置の駆動装置。

【請求項5】

上記第1階調データのビット幅は、8ビットであり、
上記第2階調データのビット幅は、10ビットであり、
上記下位ビットのビット幅は、2ビットであることを特徴とする請求項4記載の画像表示装置の駆動装置。

【請求項6】

請求項1記載の各手段として、コンピュータを動作させるプログラム。

【請求項7】

請求項6記載のプログラムが記録されている記録媒体。

【請求項8】

請求項1ないし5のいずれか1項記載の駆動装置を備えていることを特徴とする画像表示装置。

【請求項9】

請求項8に記載の画像表示装置を備えていることを特徴とするテレビジョン受像機。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、画像表示装置の駆動装置、そのプログラムおよび記録媒体、画像表示装置、並びに、テレビジョン受像機に関するものである。

【0002】**【従来の技術】**

比較的少ない電力で駆動可能な液晶表示装置は、携帯機器のみならず、据え置き型の機器の画像表示装置としても、広く使用されている。これらの液晶表示装置の中には、各画素の階調を示すデジタル信号をデータ信号線駆動回路へ与え、データ信号線駆動回路が、当該デジタル信号の値に対応する電圧をデータ信号線へ印加することによって、画素の表示階調を制御する液晶表示装置も存在している。

【0003】

ここで、後述する特許文献1には、擬似輪郭を発生させずに、表示品質を向上可能な画像表示装置を簡単な回路で実現するために、デジタル信号にノイズを付加した後で、下位ビットを切り捨てる技術が開示されている。具体的には、映像信号として入力された n ビット（ n は自然数）のデジタル信号は、 γ 補正によって、 m ビット（ $m < n$ ： m は自然数）のデジタル信号に変換され、さらに、当該 m ビットのデジタル信号は、ノイズ信号が加算された後、下位の $(m-Q)$ ビット（ $Q \leq m$ ： Q は自然数）が切り捨てられ、残った Q ビットのデジタル信号が、表示パネルのデータ信号線駆動回路へ出力する。さらに、データ信号線駆動回路は、当該 Q ビットのデジタル信号に対応する電圧を、データ信号線から出力して、画素の表示階調を制御する。当該構成では、入力された n ビットのデジタル信号を処理できるように、データ信号線駆動回路を構成するよりも、回路構成が簡略化されている。

【0004】

また、上記 m ビットのデジタル信号は、ノイズ信号が加算された後で、下位ビットが切り捨てられているので、単に切り捨てる場合とは異なり、隣接する画素間における、表示階調の大幅な相違が発生しない。この結果、擬似輪郭を発生させずに、表示品質を向上可能な画像表示装置を簡単な回路で実現できる。

【0005】

一方、液晶表示装置は、CRT（Cathode-Ray Tube）などと比較すると、応答速度が遅く、遷移階調によって、通常フレーム周波数（60Hz）に対応した書き換え時間（16.7ms）で応答が完了しないこともあるため、前回から今回への階調遷移を強調するように、駆動信号を変調して駆動する方法も採用されている（後述の特許文献2参照）。

【0006】

例えば、前フレームから現フレームへの階調遷移がライズ駆動の場合、前回から今回への階調遷移を強調するように、具体的には、現フレームの映像データが示す電圧レベルよりも高いレベルの電圧を画素へ印加する。

【0007】

この結果、階調が遷移するとき、現フレームの映像データが示す電圧レベルを

最初から印加する場合の輝度レベルと比較して、画素の輝度レベルは、より急峻に増大し、より短い期間で、上記現フレームの映像データに応じた輝度レベル近傍に到達する。これにより、液晶の応答速度が遅い場合であっても、液晶表示装置の応答速度を向上できる。

【0008】

【特許文献1】

特開 2001-337667号公報（公開日：2001年12月7日）

【0009】

【特許文献2】

特開 2002-116743号公報（公開日：2002年4月19日）

【0010】

【発明が解決しようとする課題】

しかしながら、上記従来の構成では、目標とする階調が最小の階調の場合や最大の階調の場合には、階調遷移を十分に強調できないという問題を生じる。

【0011】

例えば、前フレームから現フレームへの階調遷移が最大の階調から最小の階調への階調遷移の場合、上記駆動方法において、階調遷移を強調する処理部が階調遷移を強調しようとしても、最大の階調から最小の階調への階調遷移なので、それ以上は、階調遷移を強調できず、画素の応答速度を十分に強調することができない。

【0012】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、最小の階調への階調遷移が要求されている場合であっても、画素の応答速度を向上可能な画像表示装置の駆動装置を実現することにある。

【0013】

【課題を解決するための手段】

本発明に係る画像表示装置の駆動装置は、上記課題を解決するために、各画素の今回の階調を示す第1階調データを、その γ 特性よりも大きな γ 特性を持った第2階調データに変換する階調変換手段と、各画素の今回の第2階調データを次

回まで記憶する記憶手段と、当該記憶手段から読み出した前回の第2階調データから、今回の第2階調データへの階調遷移を強調するように、今回の第2階調データを補正する補正手段とを備え、上記第1階調データの変換によって取り得る第2階調データの下限值は、第2階調データが表現可能な数値範囲の下限值よりも大きな値に設定されていることを特徴としている。

【0014】

上記構成では、補正手段が前回から今回への階調遷移を強調するように、今回の第2階調データを補正しているので、画素の応答速度を向上できる。加えて、上記構成では、第1階調データは、階調変換手段によって、より大きな γ 特性の第2階調データへ変換される。また、上記第1階調データの変換によって取り得る第2階調データの下限值は、第2階調データが表現可能な数値範囲の下限值よりも大きな値に設定されている。

【0015】

これにより、第2階調データを表示する画素が第2階調データの示す階調を表示する際に黒く潰れる階調は、 γ 変換しない構成と比較して多くなる。また、それらの第2階調データのうち、最小ではない第2階調データが、第1階調データの下限值（黒レベル）に対応している。したがって、補正手段は、当該第2階調データよりも低い階調の第2階調データを、階調遷移強調のために使用でき、画素の応答速度を向上させることができる。

【0016】

さらに、上記構成に加えて、上記第2階調データのビット幅は、第1階調データのビット幅よりも広く設定されていてもよい。また、上記構成に加えて、上記第1階調データのビット幅は、8ビットであり、上記第2階調データのビット幅は、10ビットであってもよい。これらの構成では、第2階調データのビット幅が第1階調データのビット幅よりも広く設定されているので、階調変換手段は、より高精度に γ 変換できる。

【0017】

また、上記構成に加えて、上記第2階調データを記憶手段および補正手段へ入力する前に、ノイズデータを加算し、さらに、予め定められたビット幅の下位ビ

ットを切り捨てるノイズ付加手段と、互いに同じ色で互いに隣接する画素への第2階調データに加算されるノイズデータ同士がランダムな大きさになるように、上記ノイズデータを生成して、上記ノイズ付加手段へ与えるノイズ生成手段とを備えていてもよい。さらに、上記構成に加えて、上記第1階調データのビット幅は、8ビットであり、上記第2階調データのビット幅は、10ビットであり、上記下位ビットのビット幅は、2ビットであってもよい。

【0018】

これらの構成では、記憶手段に記憶される第2階調データは、下位ビットの切り捨てによって階調変換手段が生成した第2階調データよりもビット幅が短く設定されている。したがって、記憶手段に必要な記憶容量を削減できる。また、ノイズ付加手段以降の回路（記憶手段および補正手段など）が処理する階調データのビット幅が削減されているので、これらの回路の回路規模および演算量を削減できると共に、これらの回路を接続するための配線の数および配線の占有面積を削減できる。さらに、上記ノイズ生成手段は、互いに同じ色で互いに隣接する画素への第2階調データに加算されるノイズデータ同士がランダムな大きさになるようなノイズデータを生成しているので、以下の構成、すなわち、第2階調データの下位ビットを単に切り捨てた結果、各画素に表示される映像に擬似輪郭が発生する構成と異なり、擬似輪郭が発生しない。この結果、記憶手段に記憶される第2階調データのビット幅が、階調変換手段によって生成される第2階調データよりも短くなっているにも拘わらず、各画素に表示される映像の表示品質を、切り捨てない場合と見かけ上相違しない程度に保つことができる。

【0019】

なお、ノイズ付加手段を補正手段の後段に設けた場合、階調遷移強調後のデータにノイズが付加されるため、階調遷移を強調し過ぎて、画素の輝度が不所望に増大し、白光りとして画像表示装置の使用者に視認されたり、階調遷移を十分に強調できずに、画素の輝度が不所望に低下して、黒沈みとして視認される虞れがある。ところが、上記構成では、上記補正手段は、ノイズ付加手段の後段に配置されているので、補正手段をノイズ付加手段の前段に配置した場合と異なり、ノイズ付加に起因する白光りや黒沈みを発生させることなく、画素の応答速度を向

上できる。 . . .

【0020】

これらの結果、各画素に表示される映像の表示品質を見かけ上低下させることなく、しかも、回路規模および演算量を削減できる。

【0021】

ところで、上記画像表示装置の駆動装置は、ハードウェアで実現してもよいし、プログラムをコンピュータに実行させて実現してもよい。すなわち、本発明に係るプログラムは、上記各手段としてコンピュータを動作させるプログラムであり、本発明に係る記録媒体には、上記プログラムが記録されている。

【0022】

これらのプログラムが上記コンピュータで実行されると、当該コンピュータは、上記画像表示装置の駆動装置として動作する。したがって、当該画像表示装置の駆動装置と同様に、画素の応答速度を向上可能な画像表示装置の駆動装置を実現できる。

【0023】

また、本発明に係る画像表示装置は、上記各駆動装置を備えていることを特徴としている。さらに、本発明に係るテレビジョン受像機は、当該画像表示装置を備えていることを特徴としている。

【0024】

当該構成の画像表示装置およびテレビジョン受像機は、上記駆動装置を備えているので、画素の応答速度を向上できる。

【0025】

【発明の実施の形態】

〔第1の実施形態〕

本発明の一実施形態について図1ないし図10に基づいて説明すると以下の通りである。すなわち、本実施形態に係る画像表示装置1は、最小の階調への階調遷移の場合であっても、画素の応答速度を向上可能な画像表示装置であって、例えば、テレビジョン受像機の画像表示装置として、好適に使用できる。なお、当該テレビジョン受像機が受像するテレビジョン放送の一例としては、地上波テレ

ビジョン放送、BS(Broadcasting Satellite)デジタル放送やCS(Communication Satellite) デジタル放送などの人工衛星を用いた放送、あるいは、ケーブルテレビジョン放送などが挙げられる。

【0026】

当該画像表示装置1のパネル11は、例えば、R、G、Bの各色を表示可能なサブ画素から1つの画素を構成し、各サブ画素の輝度を制御することによって、カラー表示可能なパネルであって、例えば、図2に示すように、マトリクス状に配されたサブ画素SPIX(1,1)～SPIX(n,m)を有する画素アレイ2と、画素アレイ2のデータ信号線SL1～SLnを駆動するデータ信号線駆動回路3と、画素アレイ2の走査信号線GL1～GLmを駆動する走査信号線駆動回路4とを備えている。また、画像表示装置1には、両駆動回路3・4へ制御信号を供給する制御回路12と、入力される映像信号に基づいて、上記階調遷移を強調するように、上記制御回路12へ与える映像信号を変調する変調駆動処理部(駆動装置)21とが設けられている。なお、これらの回路は、電源回路13からの電力供給によって動作している。また、本実施形態では、走査信号線GL1～GLmに沿った方向に隣接する3つのサブ画素SPIXから、1つの画素PIXが構成されている。さらに、本実施形態に係るサブ画素SPIX(1,1)…が特許請求の範囲に記載の画素に対応している。

【0027】

以下では、変調駆動処理部21の詳細構成について説明する前に、画像表示装置1全体の概略構成および動作を説明する。また、説明の便宜上、例えば、i番目のデータ信号線SLiのように、位置を特定する必要がある場合にのみ、位置を示す数字または英字を付して参照し、位置を特定する必要がない場合や総称する場合には、位置を示す文字を省略して参照する。

【0028】

上記画素アレイ2は、複数(この場合は、n本)のデータ信号線SL1～SLnと、各データ信号線SL1～SLnに、それぞれ交差する複数(この場合は、m本)の走査信号線GL1～GLmとを備えており、1からnまでの任意の整数および1からmまでの任意の整数をjとすると、データ信号線SLiおよび走査

信号線 GL_j の組み合わせ毎に、サブ画素 $SPIX(i, j)$ が設けられている。

【0029】

本実施形態の場合、各サブ画素 $SPIX(i, j)$ は、隣接する2本のデータ信号線 $SL(i-1) \cdot SL_i$ と、隣接する2本の走査信号線 $GL(j-1) \cdot GL_j$ とで囲まれた部分に配されている。

【0030】

一例として、画像表示装置1が液晶表示装置の場合について説明すると、上記サブ画素 $SPIX(i, j)$ は、例えば、図3に示すように、スイッチング素子として、ゲートが走査信号線 GL_j へ、ドレインがデータ信号線 SL_i に接続された電界効果トランジスタ $SW(i, j)$ と、当該電界効果トランジスタ $SW(i, j)$ のソースに、一方電極が接続された画素容量 $C_p(i, j)$ とを備えている。また、画素容量 $C_p(i, j)$ の他端は、全サブ画素 $SPIX \cdots$ に共通の共通電極線に接続されている。上記画素容量 $C_p(i, j)$ は、液晶容量 $CL(i, j)$ と、必要に応じて付加される補助容量 $C_s(i, j)$ とから構成されている。

【0031】

上記サブ画素 $SPIX(i, j)$ において、走査信号線 GL_j が選択されると、電界効果トランジスタ $SW(i, j)$ が導通し、データ信号線 SL_i に印加された電圧が画素容量 $C_p(i, j)$ へ印加される。一方、当該走査信号線 GL_j の選択期間が終了して、電界効果トランジスタ $SW(i, j)$ が遮断されている間、画素容量 $C_p(i, j)$ は、遮断時の電圧を保持し続ける。ここで、液晶の透過率あるいは反射率は、液晶容量 $CL(i, j)$ に印加される電圧によって変化する。したがって、走査信号線 GL_j を選択し、当該サブ画素 $SPIX(i, j)$ への映像データ D に応じた電圧をデータ信号線 SL_i へ印加すれば、当該サブ画素 $SPIX(i, j)$ の表示状態を、映像データ $D(i, j, k)$ に合わせて変化させることができる。

【0032】

本実施形態に係る上記液晶表示装置は、液晶セルとして、垂直配向モードの液晶セル、すなわち、電圧無印加時には、液晶分子が基板に対して略垂直に配向し、サブ画素 $SPIX(i, x)$ の液晶容量 $CL(i, j)$ への印加電圧に応じて、液晶分子が垂直配向状態から傾斜する液晶セルを採用しており、当該液晶セルをノーマ

リブラックモード（電圧無印加時には、黒表示となるモード）で使用している。

【0033】

上記構成において、図2に示す走査信号線駆動回路4は、各走査信号線 $GL_1 \sim GL_m$ へ、例えば、電圧信号など、選択期間か否かを示す信号を出力している。また、走査信号線駆動回路4は、選択期間を示す信号を出力する走査信号線 GL_j を、例えば、制御回路12から与えられるクロック信号 GCK やスタートパルス信号 GSP などのタイミング信号に基づいて変更している。これにより、各走査信号線 $GL_1 \sim GL_m$ は、予め定められたタイミングで、順次選択される。

【0034】

さらに、データ信号線駆動回路3は、映像信号として、時分割で入力される各サブ画素 $SPIX \dots$ への映像データ \dots を、所定のタイミングでサンプリングするなどして、それぞれ抽出する。さらに、データ信号線駆動回路3は、走査信号線駆動回路4が選択中の走査信号線 GL_j に対応する各サブ画素 $SPIX(1, j) \sim SPIX(n, j)$ へ、各データ信号線 $SL_1 \sim SL_n$ を介して、それぞれへの映像データに応じた出力信号を出力する。

【0035】

なお、データ信号線駆動回路3は、制御回路12から入力される、クロック信号 SCK およびスタートパルス信号 SSP などのタイミング信号に基づいて、上記サンプリングタイミングや出力信号の出力タイミングを決定している。

【0036】

一方、各サブ画素 $SPIX(1, j) \sim SPIX(n, j)$ は、自らに対応する走査信号線 GL_j が選択されている間に、自らに対応するデータ信号線 $SL_1 \sim SL_n$ に与えられた出力信号に応じて、発光する際の輝度や透過率などを調整して、自らの明るさを決定する。

【0037】

ここで、走査信号線駆動回路4は、走査信号線 $GL_1 \sim GL_m$ を順次選択している。したがって、画素アレイ2の全画素を構成するサブ画素 $SPIX(1, 1) \sim SPIX(n, m)$ を、それぞれへの映像データが示す明るさ（階調）に設定でき、画素アレイ2へ表示される画像を更新できる。

【0038】

なお、映像データDは、サブ画素SPIXの階調レベルを特定できれば、階調レベル自体であってもよいし、階調レベルを算出するためのパラメータであってもよいが、以下では、一例として、映像データDがサブ画素SPIXの階調レベル自体である場合について説明する。

【0039】

また、上記画像表示装置1において、映像信号源VSから変調駆動処理部21へ与えられる映像信号DATは、フレーム単位（画面全体単位）で伝送されていてもよいし、1フレームを複数のフィールドに分割すると共に、当該フィールド単位で伝送されていてもよいが、以下では、一例として、フィールド単位で伝送される場合について説明する。

【0040】

すなわち、本実施形態において、映像信号源VSから変調駆動処理部21へ与えられる映像信号DATは、1フレームを複数のフィールド（例えば、2フィールド）に分割すると共に、当該フィールド単位で伝送されている。

【0041】

より詳細には、映像信号源VSは、映像信号線VLを介して、画像表示装置1の変調駆動処理部21に映像信号DATを伝送する際、あるフィールド用の映像データを全て伝送した後に、次のフィールド用の映像データを伝送するなどして、各フィールド用の映像データを時分割伝送している。

【0042】

また、上記フィールドは、複数の水平ラインから構成されており、上記映像信号線VLでは、例えば、あるフィールドにおいて、ある水平ライン用の映像データ全てが伝送された後に、次に伝送する水平ライン用の映像データを伝送するなどして、各水平ライン用の映像データが時分割伝送されている。

【0043】

なお、本実施形態では、2フィールドから1フレームを構成しており、偶数フィールドでは、1フレームを構成する各水平ラインのうち、偶数行目の水平ラインの映像データが伝送される。また、奇数フィールドでは、奇数行目の水平ライ

ンの映像データが伝送される。さらに、上記映像信号源VSは、1水平ライン分の映像データを伝送する際も上記映像信号線VLを時分割駆動しており、予め定められた順番で、各映像データが順次伝送される。

【0044】

一方、変調駆動処理部21において、図示しない受信回路は、映像信号線VLを伝送される映像データをサンプリングして、各サブ画素SPIX(i,j)への映像データD(i,j,k)を取得する。なお、映像信号線VLを各サブ画素SPIX(i,j)への映像データD(i,j,k)が伝送されている場合、上記受信回路は、予め定められたタイミングでサンプリングすることによって、当該映像データD(i,j,k)自体を取得する。一方、映像信号線VLを各画素への映像データが伝送されている場合、上記受信回路は、予め定められたタイミングでサンプリングすることによって、各画素への映像データを取得し、当該映像データの示す色を、当該画素の各サブ画素の色成分に分解することによって、各サブ画素SPIX(i,j)への映像データD(i,j,k)を取得する。

【0045】

本実施形態に係る画像表示装置1では、1画素が、R、G、Bにそれぞれ対応する3つのサブ画素SPIXから構成されており、図2に示す変調駆動処理部21も、R用の回路、すなわち、Rに対応するサブ画素SPIXへの映像データDを処理する回路だけではなく、G用およびB用の回路も設けられているが、各回路は、入力される映像データD(i,j,k)を除いて同じ構成なので、以下では、図1を参照しながら、R用の回路についてのみ説明する。

【0046】

すなわち、図1に示すように、本実施形態に係る変調駆動処理部21には、R用の回路として、Rのサブ画素SPIXへの映像データの1フレーム分を次のフレームまで記憶するフレームメモリ（記憶手段）31と、現フレームFR(k)の映像データをフレームメモリ31へ書き込むと共に、フレームメモリ31から前フレームFR(k-1)の映像データD0(i,j,k-1)を読み出し、前フレーム映像信号DAT0として出力するメモリ制御回路32と、現フレームから前フレームへの階調遷移を強調するように、上記現フレームFR(k)の映像データを補正し、

補正後の映像データ $D_2(i, j, k)$ を補正映像信号 DAT_2 として出力する変調処理部（補正手段）33とを備えている。なお、本実施形態では、説明の便宜上、フレームメモリ31から出力される映像データのうち、前フレーム $FR(k-1)$ の映像データを $D_0(i, j, k-1)$ で参照する。

【0047】

さらに、本実施形態に係る画素アレイ2（図2参照）は、入力端子T1へ入力される各サブ画素 $SPIX$ への映像データ D の γ よりも大きな γ 特性を持つように設定されており、上記変調駆動処理部21には、入力端子T1へ入力される各サブ画素 $SPIX$ への映像データ D を γ 変換して、より大きな γ 特性を持った表示デバイスへ表示するための映像データ D_a に変換する γ 変換回路41と、上記映像データ D_a が取り得る数値範囲を圧縮して、当該映像データ D_a と同じビット幅で、しかも、映像データ D_a の黒レベルよりも低い値、および、映像データ D_a の白レベルよりも高い値を表現可能な映像データ D_b を生成する階調変換回路42と、当該映像データ D_b にノイズ生成回路（ノイズ生成手段）44が生成したノイズを加算して出力するノイズ付加回路43と、ノイズ付加回路43が出力する各映像データの下位ビットを切り捨てて、映像データのビット幅を縮小する切り捨て回路45とを含むBDE（Bit-Depth Extension）回路が設けられており、切り捨て回路45の出力する映像データ $D_1(i, j, k)$ は、現フレーム $FR(k)$ の映像データとして、変調処理部33およびメモリ制御回路32へ入力される。なお、上記 γ 変換回路41および階調変換回路42が特許請求の範囲に記載の階調変換手段に対応し、ノイズ付加回路43および切り捨て回路45がノイズ付加手段に対応する。また、本実施形態では、サブ画素 $SPIX(1, j)$ 、 $(4, j)$ …がRを表示するので、入力端子T1には、映像データ $D(1, j, k)$ 、 $D(4, j, k)$ …が入力されている。

【0048】

本実施形態では、上記入力端子T1には、一般的な映像信号として、 $\gamma = 2.2$ の特性を持った表示デバイスへ表示するための映像データ D が入力されており、上記画素アレイ2の γ 特性は、 $\gamma = 2.8$ に設定されている。また、上記 γ 変換回路41は、当該画素アレイ2の γ 特性と同じ特性の映像データ D_a 、すなわ

ち、 $\gamma = 2.8$ の特性を持った表示デバイスへ表示するための映像データ D_a を生成する。また、本実施形態に係る γ 変換回路 41 は、 γ 変換に起因する誤差の発生を抑制するために、映像データ D をより広いビット幅の映像データ D_a に変換している。例えば、上記入力端子 T1 には、一般的な映像信号として、各色毎に 8 ビットの映像信号が入力されており、上記 γ 変換回路 41 は、8 ビットの映像データ D を 10 ビットの映像データ D_a に変換する。

【0049】

さらに、上記階調変換回路 42 は、図 4 に示すように、上記映像データ D_a が取り得る数値範囲 A_1 を圧縮して、当該数値範囲よりも狭い数値範囲 A_2 に変換する。また、当該数値範囲 A_2 、すなわち、階調 $L_{11} \sim L_{12}$ までの範囲は、映像データ D_b が階調 $L_{10} \sim L_{13}$ を表現できるとき、 $L_{10} < L_{11}$ 、かつ、 $L_{12} < L_{13}$ になるように設定されている。本実施形態では、両映像データ $D_a \cdot D_b$ がそれぞれ 10 ビットであり、 $L_1 = L_{10} = 0$ 、 $L_2 = L_{13} = 1023$ であり、上記値 L_{11} および L_{12} は、例えば、79 および 1013 に設定されている。なお、上記映像データ D_a では、最小の階調 (L_1) が黒を示しており、最大の階調 (L_2) が白を示している。

【0050】

一方、上記ノイズ生成回路 44 は、平均値が 0 であり、画素アレイ 2 へ表示される映像に擬似輪郭が発生しない程度にランダムなノイズを出力している。また、ノイズデータの最大値が大き過ぎると、ノイズパターンが画像表示装置 1 の使用者に認識される虞れがあるので、上記ノイズの最大値は、ノイズパターンが認識されない程度に設定されている。

【0051】

本実施形態では、ノイズ付加回路 43 へ入力される各サブ画素 $SPIX(i, j)$ への映像データ $D_b(i, j, k)$ は、10 ビットで表現されており、ノイズデータの大きさは、 ± 7 ビット以内に設定されている。また、上記切り捨て回路 45 は、ノイズ生成回路 44 の出力する 10 ビットの映像データから、下位 2 ビットを切り捨て、8 ビットの映像データ $D_1(i, j, k)$ として出力する。これに伴ない、上記フレームメモリ 31 において、現フレーム $FR(k)$ の各映像データ $D_1(i, j, k)$

)を記憶するための記憶領域は、1つの映像データ $D_1(i, j, k)$ あたり、8ビットに設定されている。

【0052】

これにより、画素アレイ2へ表示される映像にノイズパターンも擬似輪郭も発生せず、切り捨て前の映像データ D を表示した場合と見かけ上相違していないにも拘わらず、切り捨て回路45以降の回路で処理される映像データのビット数を削減できる。

【0053】

ここで、付加されたノイズは、画像表示装置1の使用者によって、観察している階調が周囲の画素とどの程度異なっているか(変動率)、および、目指す輝度とどの程度異なっているか(誤差)として認識される。一般に、画像表示装置1のように、100ppiを基準にして絵作りする分野では、上記誤差の許容限界は、白輝度の5%程度であり、上記変動率の許容限界は、表示階調の5%程度であることが知られている。

【0054】

サブ画素 $SPIX$ への階調を x 階調だけ増加したときに、画素の透過率が、周囲の輝度(階調を増加する前の透過率)を基準に何%だけ増加するかを計算したところ、画素アレイ2の γ 特性が $\gamma = 2.8$ であり、映像データ D_b が10ビットで表現される場合、 x が32~48階調であれば、殆どの階調で上記変動率が上記許容限界に収まることが確認できた。同様に、画素の表示階調を x 階調だけ増加したときに、本来の透過率(階調を増加する前の透過率)を基準に何%だけ増加するかとを計算したところ、画素アレイ2の γ 特性が $\gamma = 2.8$ であり、映像データ D_b が10ビットで表現される場合、 x が32~48階調であれば、殆どの階調で上記変動率が上記許容限界に収まることが確認できた。この結果、32~48階調のノイズであれば、殆どの階調で上記許容限界を下回り、使用者に見かけ上表示品質が劣化していないと感じさせることができる。

【0055】

したがって、1つの画素を単独で視認できない距離で見ることが想定されている場合、2~3画素(6~9サブ画素)の間で、上記変動率および誤差が5%を

下回るように設定すればよい。ここで、上記ノイズデータが略正規分布であるとすると、 $32 \sim 48$ [階調] $\times 6^{(1/2)} \sim 9^{(1/2)} = 80 \sim 144$ [階調] となる。したがって、7ビット程度、すなわち、映像データ D b よりも 3ビット程度少ないビット幅で時系列的に固定のノイズを付加しても、ノイズパターンが画像表示装置の使用者に視認される虞れはない。

【0056】

なお、一般には、画素サイズが大きくなっても、観察距離は、それに比例する程には増大しないことが多いので、画素サイズが大きくなる程、ノイズデータの許容レベルが小さくなる。したがって、 $1 \sim 144$ 階調 (7ビット以内) という数値範囲の中でも、上記ノイズデータの絶対値の最大値として、多くの画像表示装置 1 で好ましく使用される数値範囲は、 $48 \sim 80$ 階調の範囲であり、さらに好ましくは、63階調 (6ビット) に設定する方が望ましい。

【0057】

上記ノイズ生成回路 44 は、例えば、線形帰還シフトレジスタ (M 系列や Gold 系列など) を含む演算回路など、種々の演算回路であってもよいが、本実施形態に係るノイズ生成回路 44 は、 16×16 あるいは 32×32 など、予め定められたブロック分のノイズデータを記憶したメモリ 51 と、当該メモリから順次ノイズデータを読み出すアドレスカウンタ 52 と、アドレスカウンタ 52 をリセットするためのリセット信号を生成する制御回路 53 とを備えている。

【0058】

上記制御回路 53 は、同一のサブ画素 $SPIX(i, j)$ への映像データ $D(i, j, *)$ へ、全フレームに渡って、互いに同じ値のノイズデータが印加されるように、アドレスカウンタ 52 をリセットしている。例えば、本実施形態では、上記制御回路 53 は、図 2 に示す映像信号源 VS から映像データと共に伝送される水平同期信号および垂直同期信号の少なくとも一方に同期してアドレスカウンタ 52 をリセットする。この結果、上記ノイズ付加回路 43 は、同一のサブ画素 $SPIX(i, j)$ への映像データ $D(i, j, *)$ へ、全フレームに渡って、互いに同じ値のノイズデータを付加できる。したがって、画像表示装置 1 が画素アレイ 2 に静止画を表示している場合、各サブ画素 $SPIX(i, j)$ への補正映像データ $D2(i, j, *)$

は、変化せず、補正映像データ $D2(i, j, *)$ の変化に起因するチラツキやノイズ感のない安定した静止画を表示できる。ここで、 $*$ は、任意の値を示している。

【0059】

なお、上記メモリ 51 には、ランダムなノイズデータが格納されているので、各フレームにおいて、同じブロック内に位置するサブ画素 $SPIX$ への映像データには、ランダムなノイズデータが付加され、画素アレイ 2 に表示される映像に擬似輪郭が発生しない。

【0060】

上記構成では、変調処理部 33 が前フレーム $FR(k-1)$ から現フレーム $FR(k)$ への階調遷移を強調するように、現フレーム $FR(k)$ の映像データ $D1(i, j, k)$ を補正しているので、サブ画素 $SPIX$ の応答速度を向上できる。

【0061】

加えて、上記構成では、画素アレイ 2 は、入力端子 $T1$ へ入力される映像データ D よりも大きな γ 特性を持つように設定されており、入力端子 $T1$ へ入力された映像データ D は、 γ 変換回路 41 によって、より大きな γ 特性の映像データ D_a へ変換され、さらに、階調変換回路 42 によって、映像データ D_a の黒レベルよりも低い値を表現可能な映像データ D_b に階調変換された後、変調処理部 33 によって、前フレームから現フレームへの階調遷移が強調される。

【0062】

当該構成では、 γ 変換によって、図 5 に示すように、サブ画素 $SPIX$ がその階調を表示する際に黒く潰れる階調がより多くなっており、さらに、階調変換によって、それらの階調中の予め定められた階調（図 4 に示す階調 $L10 \sim L11$ ）を映像データ D の黒レベルよりも低い階調に割り当てている。したがって、変調処理部 33 は、これらの階調 $L10 \sim L11$ 、すなわち、階調遷移強調しなかったときの黒レベルよりも低い階調 $L10 \sim L11$ を、階調遷移強調のために使用できる。この結果、階調遷移を強調しなかったときの黒レベルを示す補正映像データ $D2$ と、階調を減少させる方向に最も階調遷移を強調したときの補正映像データ $D2$ とが一致する構成と比較して、階調を減少させる方向に、より強く階調遷移を強調でき、サブ画素 $SPIX$ の応答速度を向上させることができる。

【0063】

ここで、本実施形態のように、垂直配向モードの液晶セルをノーマリブラックモードで使用している場合、階調が大きくなる方向へ階調遷移する際（ライズの階調遷移）、液晶分子は、画素電極へ印加される電圧によって形成される傾斜電界によって、液晶セルの基板に平行な方向から傾斜する方向に傾斜される。一方、階調が小さくなる方向へ階調遷移する際（ディケイの階調遷移）の場合は、基板に形成された垂直配向膜による垂直方向への規制力によって、液晶分子を垂直方向に復帰させている。したがって、上記液晶セルを使用した場合は、ライズ方向の階調遷移に対して、ディケイの階調遷移の方が遅くなりやすい。

【0064】

ところが、上記構成の変調駆動処理部21は、ディケイの階調遷移をより強調できるため、ディケイの応答速度をさらに短縮できる。この結果、このような液晶セルを用いた場合であっても、十分な応答速度を持った画像表示装置1を実現できる。

【0065】

特に、低温時には、液晶の応答速度が遅くなるので、ディケイの階調遷移の遅れがさらに目立ちやすくなるが、上記構成の変調駆動処理部21は、ディケイの階調遷移時の応答速度を短縮できるので、低温での使用も想定される用途で特に好適に使用できる。

【0066】

また、本実施形態では、フレームメモリ31の前段に、ノイズ付加回路43および切り捨て回路45を含むBDE回路が設けられているので、画素アレイ2に表示される映像の表示品質を見かけ上低下させることなく、上記フレームメモリ31へ格納される映像データD1(i, j, k)のデータ量を削減できる。

【0067】

本実施形態では、ノイズ付加回路43へ入力される映像データD_bのビット幅が10ビットであるにも拘わらず、フレームメモリ31に格納される映像データD1(i, j, k)のビット幅が8ビットにまで削減されている。これにより、フレームメモリ31に必要なメモリ容量を削減できる。また、切り捨て回路45以降の

回路、すなわち、メモリ制御回路 32、前フレーム階調補正回路 37、変調処理部 33、図 2 に示す制御回路 12、データ信号線駆動回路 3 において、映像データのビット幅が 10 ビットから 8 ビットに削減されているので、それぞれを接続するための配線の数および占有面積も 4/5 に削減でき、それらの回路での演算量も削減できる。

【0068】

なお、映像データは、比較的高速に伝送する必要があるため、比較的遅い回路で、映像データを伝送するためには、複数の回路を並列に設けて交互に動作させる必要があり、映像データのビット数が増大すると、回路の占有面積が増大してしまう。ところが、上記構成では、ビット幅が 4/5 に削減されているので、10 ビットの場合と比較して、並列に動作する回路を設ける場合であっても、回路の占有面積の増大量を抑えることができる。

【0069】

また、上記構成では、フレームメモリ 31 および変調処理部 33 の前段に、ノイズ付加回路 43 および切り捨て回路 45 を含む BDE 回路が設けられている。したがって、BDE 回路が変調処理部 33 の後段に設けられている場合と異なり、以下の不具合、すなわち、変調処理部 33 が白光りの発生しない範囲で、できる限り階調遷移を強調した後、BDE 回路がノイズを付加した結果、白光りが視認されるという不具合が発生しない。この結果、ノイズ付加と階調遷移の強調とを併用しているにも拘わらず、白光りの発生を防止できる。

【0070】

以下では、垂直配向モードの液晶セルをノーマリブラックモードで使用している場合を例にしながら、応答速度の向上について、より詳細に説明する。すなわち、典型的な上記液晶セルは、例えば、図 6 に示すような電圧-透過率特性を持っており、白レベルを表示する際に印加される電圧（白電圧）は、例えば、7.5 [V] 程度に設定される。

【0071】

ここで、黒電圧を 0 [V] に設定すると、1000 以上のコントラストを確保できる一方で、各階調に応じた電圧を生成するために使用される抵抗網の設計が

面倒になる。したがって、一般のテレビジョン用途のように、500程度のコントラストを確保できればよい用途では、黒電圧は、0.6 [V] ~ 1.1 [V] 程度に設定されている。

【0072】

比較例として、上記 γ 変換回路41および階調変換回路42による変換を行わず、 $\gamma = 2.2$ に設定された画素アレイが、 $\gamma = 2.2$ の映像データDを、そのまま表示する構成では、当該画素アレイのデータ信号線駆動回路における階調-電圧特性は、図7に示すように設定される。なお、上述したように、黒レベルを引き下げると、抵抗網の設計が面倒になるため、 $\gamma = 2.2$ の場合は、図7に示すように、黒電圧が1.1 [V] に設定されている。

【0073】

一方、本実施形態に係る画素アレイ2は、 $\gamma = 2.8$ に設定されており、データ信号線駆動回路3における階調-電圧特性は、図8に示すように設定されている。ここで、上記画素アレイ2は、 $\gamma = 2.8$ なので、 $\gamma = 2.2$ の場合と比較して余り設計時の手間をかけることなく黒電圧を低く設定できる。したがって、図8の例では、データ信号線駆動回路3が印加可能な最も低い電圧は、例えば、0.8 [V] に設定されている。なお、この場合、900程度のコントラストを確保できている。

【0074】

また、本実施形態に係る階調変換回路42は、図9に示すように、 γ 変換回路41および階調変換回路42は、映像データDを映像データD_bに変換しており、上記データ信号線駆動回路3は、各映像データD_bに対応して、図9に示す電圧を印加している。

【0075】

このように、本実施形態では、静止画を表示している場合のように、変調処理部33が現フレームFR(k)の映像データD₁(i,j,k)をそのまま出力している場合、映像データD(i,j,k)が黒レベルを示しているときに、階調変換回路42が出力する映像データD_b(i,j,k)は、79階調になり、データ信号線駆動回路3がサブ画素SPIX(i,j)へ印加する電圧は、1.09 [V] になる。一方、

ディケイの階調遷移時に最も階調遷移を強調しようとして、変調処理部 33 が 0 階調の補正映像データ $D_2(i, j, k)$ を出力した場合、データ信号線駆動回路 3 は、0.8 [V] の電圧をサブ画素 $SPIX(i, j)$ へ印加する。このように、階調遷移強調時において、階調遷移を強調しない場合の黒電圧よりも、低い電圧を印加できるので、サブ画素 $SPIX(i, j)$ の応答速度を向上できる。

【0076】

同様に、本実施形態では、変調処理部 33 が現フレーム $FR(k)$ の映像データ $D_1(i, j, k)$ をそのまま出力している場合、映像データ $D(i, j, k)$ が白レベルを示しているときに、階調変換回路 42 が出力する映像データ $D_b(i, j, k)$ は、1013 階調になり、データ信号線駆動回路 3 がサブ画素 $SPIX(i, j)$ へ印加する電圧は、6.5 [V] になる。一方、ライズの階調遷移時に最も階調遷移を強調しようとして、変調処理部 33 が最大階調の補正映像データ $D_2(i, j, k)$ を出力した場合、データ信号線駆動回路 3 は、7.5 [V] の電圧をサブ画素 $SPIX(i, j)$ へ印加する。このように、階調遷移強調時において、階調遷移を強調しない場合の白電圧よりも、高い電圧を印加できるので、サブ画素 $SPIX(i, j)$ の応答速度を向上できる。

【0077】

一例として、前フレーム $FR(k-1)$ から現フレーム $FR(k)$ において、映像データ D が 0 階調から 255 階調へ変化すると、図 9 に示すように、上記比較例の構成では、0 階調から 255 階調への遷移がフル階調であり、それ以上階調遷移を強調できないため、データ信号線駆動回路へ与えられる補正映像データ $D_2(i, j, k-1) \cdot D_2(i, j, k)$ が、それぞれ 0 階調および 255 階調になり、サブ画素 $SPIX(i, j)$ へ印加される電圧は、1.1 [V] から 7.5 [V] へと変化する。したがって、図 10 中、破線に示すように、サブ画素 $SPIX(i, j)$ の輝度が白レベルの輝度に到達するまでには、ステップ応答特性により、3 フレーム程度 (0.03 sec 程度) 必要になる。なお、ステップ応答とは、液晶の応答に伴って液晶層の電気容量が変化することにより、液晶に印加される電位の変位が縮小され、結果的に応答が遅く観察される現象であって、当該現象は、純粹に電氣的な現象なので、温度が高い時でも観察される。

【0078】

これに対して、本実施形態では、図9に示すように、階調変換回路42が出力する映像データ $D_b(i, j, k-1) \cdot D_b(i, j, k)$ は、それぞれ、79階調および1013階調になる。したがって、変調処理部33は、例えば、現フレーム $FR(k)$ の補正映像データ $D_2(i, j, k)$ を1023階調に相当する階調へ変更するなどして、何ら支障なく、階調遷移を強調できる。これにより、図10中、実線で示すように、サブ画素 $SPIX(i, j)$ の輝度は、1フレーム (16.7 msec) 以内に、白レベルに到達できる。

【0079】

ところで、液晶表示装置の場合、波長が異なると、同じ電圧を液晶セルの画素電極へ印加したとしても透過率が異なってしまう。したがって、R, G, Bの各サブ画素 $SPIX$ を互いに同じ輝度にするために、各サブ画素 $SPIX$ へ印加すべき電圧も互いに異なっている。ここで、補正映像データ $D_2(i, j, *)$ と各サブ画素 $SPIX(i, j)$ へ印加する電圧との対応関係が、R, G, Bのそれぞれで異なるように、画素アレイ2のデータ信号線駆動回路3を構成すると、データ信号線駆動回路3の回路構成が複雑になってしまう。

【0080】

ところが、本実施形態では、上記 γ 変換回路41および階調変換回路42による階調変換が、互いに異なる変換に設定されている。したがって、画素アレイ2のデータ信号線駆動回路3において、補正映像データ $D_2(i, j, *)$ と各サブ画素 $SPIX(i, j)$ へ印加する電圧との対応関係が各色間で共通に設定されているにも拘わらず、それぞれの γ 変換回路41および階調変換回路42が、R, G, Bのそれぞれに適切に階調を変換することによって、それぞれの色のサブ画素 $SPIX$ の輝度を正しく設定できる。

【0081】

〔第2の実施形態〕

本実施形態に係る変調駆動処理部21aには、図11に示すように、切り捨て回路45とフレームメモリ31および変調処理部33との間に、FRC (Frame Rate Control) 回路46が配置されている。

【0082】

上記FRC回路46は、切り捨て回路45の出力する映像データの最下位のビットを、映像データ $D(i, j, k)$ に応じて、予め定められたパターンで変化させた後、映像データ $D1(i, j, k)$ として出力している。上記パターンは、切り捨て回路45によって切り捨てられたビットの値とパターンの平均値とが一致するように設定されている。例えば、切り捨てた値(2ビット)が"01"であれば、その大きさは、切り捨て回路45の出力する映像データの最下位ビットの $1/4$ なので、上記値に対応するパターンとして、例えば、(0、0、0、1)が設定されている。同様に、"00"、"10"、"11"にそれぞれ対応して、(0、0、0、0)、(1、0、1、0)および(1、1、1、0)のパターンが設定されている。

【0083】

上記構成では、FRC回路46によって、切り捨て回路45の切り捨てたビットの値とパターンの平均値とが一致するようなパターンで、映像データ $D1(i, j, k)$ の最下位ビットが変化する。したがって、サブ画素 $SPIX(i, j)$ の輝度の平均値を、切り捨て回路45によって切り捨てられる前の映像データが示す輝度と一致させることができる。

【0084】

なお、サブ画素 $SPIX(i, j)$ の応答速度が遅く、サブ画素 $SPIX(i, j)$ が補正映像データ $D2(i, j, k)$ の変動に追従して輝度を変更できない場合、サブ画素 $SPIX(i, j)$ の輝度の平均値は、上記所望の値にならないが、本実施形態に係る変調駆動処理部21aでは、FRC回路46によって変更されるビットが映像データ $D1(i, j, k)$ の最下位ビットであり、変調処理部33が前フレーム $FR(k-1)$ から現フレーム $FR(k)$ への階調遷移を強調している。したがって、変調駆動処理部21aは、何ら支障なく、サブ画素 $SPIX(i, j)$ の輝度の平均値を上記所望の値に設定できる。

【0085】

ここで、各サブ画素 $SPIX(i, j)$ の占有面積が極めて小さく、空間分解能および輝度分解能が、人間の視覚の限界近く、あるいは、限界以上に高い範囲に設

定されている画素アレイ 2 の場合、すなわち、画素の 1 つ 1 つを視認できない距離で見ることが想定されている画素アレイ 2 の場合、ノイズ付加回路 43 によって、映像データ $D(i, j, k)$ よりも 3 ビット程度狭いビット幅で時系列的に固定のノイズを付加しても、ノイズパターンが画像表示装置の使用者に視認される虞れはない。このような画像表示装置としては、例えば、15 インチの XGA (eXtended Graphic Array) ディスプレイなどが挙げられ、この場合のサブ画素 $SPIX(i, j)$ の間隔 (精細度) は、 $300\ \mu\text{m}$ 程度に設定されている。

【0086】

ところが、画素アレイ 2 の空間分解能および輝度分解能が上記範囲を下回ると、時系列的に固定のノイズを付加する構成では、画素アレイ 2 が表示している映像が特定の状況 (例えば、特定の明るさや特定の動き) にあるときに、ノイズパターンが画像表示装置 1 の使用者に視認される虞れがある。このような画像表示装置としては、例えば、15 インチの VGA ディスプレイなどが挙げられる。

【0087】

これに対して、本実施形態に係る変調駆動処理部 21a では、FRC 回路 46 が映像データ $D1(i, j, k)$ の最下位ビットを変更している。したがって、このような画像表示装置に適用した場合であっても、使用者によるノイズパターンの視認を妨害でき、時系列的に固定のノイズを付加する場合と比較して、画像表示装置 1a の見かけ上の表示品質を向上できる。

【0088】

〔第 3 の実施形態〕

ところで、上記第 1 および第 2 の実施形態では、ノイズ付加回路 43 が映像データ $D(i, j, *)$ へ付加するノイズが時系列的に固定されており、あるサブ画素 $SPIX(i, j)$ への映像データ $D(i, j, *)$ には、常時同一の値のノイズが付加される場合について説明した。これに対して、本実施形態では、ノイズ付加回路 43 が映像データ $D(i, j, *)$ へ付加するノイズを時系列的に変化する構成について説明する。なお、当該構成は、第 1 および第 2 の実施形態のいずれにも適用できるが、以下では、図 1 を参照しながら、第 1 の実施形態に適用した場合について説明する。

【0089】

すなわち、本実施形態に係る変調駆動処理部 21b では、ノイズ生成回路 44 に代えて、時系列的に変化するノイズを生成するノイズ生成回路 44b が設けられている。本実施形態に係るノイズ生成回路 44b では、制御回路 53 に代えて設けられた制御回路 53b が、アドレスカウンタ 52 のリセットタイミングと、フレーム $FR(k)$ の最初の映像データ $D(1,1,k)$ との位相差を、フレーム毎に変更している。

【0090】

例えば、制御回路 53b は、最初のフレーム $FR(k)$ では、最初の映像データ $D(1,1,k)$ が印加される時点で、アドレスカウンタ 52 をリセットし、メモリ 51 の最初のアドレスに記憶されたノイズデータが、最初の映像データ $D(1,1,k)$ に付加される。一方、次のフレーム $FR(k+1)$ では、制御回路 53b は、アドレスカウンタ 52 のリセットタイミングを 1 映像データ分早く設定し、メモリ 51 の 2 番目のアドレスに記憶されたノイズデータが、最初の映像データ $D(1,1,k+1)$ に付加される。

【0091】

このように、本実施形態では、ノイズ付加回路 43 が映像データ $D(i,j,*)$ へ付加するノイズを時系列的に変化させている。ここで、上述したように、画素アレイ 2 の空間分解能および輝度分解能が人間の視覚の限界に近いか、限界以上に高い範囲に設定されている場合は、時系列的に固定のノイズを付加しても、ノイズパターンが画像表示装置 1 の使用者に視認される虞れがない。ところが、画素アレイ 2 の空間分解能および輝度分解能が人間の視覚の限界を大幅に下回り、1 つ 1 つのサブ画素 $SPIX(i,j)$ が画像表示装置の使用者に視認される場合、上述のように、時系列的に固定のノイズを付加すると、ノイズパターンが画像表示装置の使用者に認識されてしまう。このような画像表示装置としては、例えば、20 インチの VGA ディスプレイや 40 インチの XGA ディスプレイなどが挙げられる。

【0092】

これに対して、本実施形態に係る変調駆動処理部 21b では、ノイズ付加回路

43が映像データ $D(i, j, *)$ へ付加するノイズを時系列的に変化させている。したがって、このような画像表示装置に適用した場合であっても、使用者によるノイズパターンの視認を妨害でき、時系列的に固定のノイズを付加する場合と比較して、画像表示装置1bの見かけ上の表示品質を向上できる。

【0093】

ところで、上記各実施形態に係る変調処理部33は、チラツキやノイズ感のない安定した静止画を表示するために、前フレーム $FR(k-1)$ の映像データ $D0a(i, j, k-1)$ と現フレーム $FR(k)$ の映像データ $D1(i, j, k)$ との差が予め定められたしきい値よりも小さい場合、階調遷移を強調せず、現フレーム $FR(k)$ の映像データ $D1(i, j, k)$ をそのまま出力している。

【0094】

この場合、上記しきい値は、ノイズの時系列変化の変動幅に合わせて設定される。より詳細には、しきい値は、ノイズの時系列変化の変動幅と同じか、あるいは、大きい値であって、しかも、階調遷移を強調しなくても、サブ画素 $SPIX(i, j)$ の応答速度不足による階調遷移の不足が使用者に視認されない程度に小さな値に設定される。一例として、上述した数値、すなわち、映像データ $D1(i, j, k)$ が10ビットで、ノイズの大きさが±7ビットであり、切り捨て回路45が2ビットを切り捨てる場合、上記しきい値は32階調 $(=2^{(7-2)})$ に設定される。

【0095】

このように、上記しきい値がノイズの時系列変化の変動幅と同じか、より大きな値に設定されている。したがって、静止画を表示している場合、ノイズによって映像データ $D1(i, j, k)$ が変動し、階調遷移が発生しても、変調処理部33は、当該階調遷移を強調せず、現フレーム $FR(k)$ の映像データ $D1(i, j, k)$ をそのまま出力する。このように、第3の実施形態に係る変調処理部33は、階調遷移がノイズデータの加算のみによって発生し得る階調遷移の場合に、階調遷移を強調せず、第2の実施形態に FR C回路46を付加した構成における変調処理部33は、ノイズデータの加算と上記 FR C回路46による最下位ビットの変更とのみによって発生し得る階調遷移である場合に階調遷移を強調しない。したがっ

て、ノイズに起因する階調遷移が強調されることはなく、以下の不具合、すなわち、ノイズに起因する階調遷移を強調した結果、ノイズパターンが使用者に視認されるという不具合の発生を防止できる。

【0096】

また、本実施形態のように、ノイズ付加回路43が映像データ $D(i, j, *)$ へ付加するノイズを時系列的に変化させる場合、すなわち、第1の実施形態よりも、短い距離（1つ1つのサブ画素 $SPIX(i, j)$ が画像表示装置の使用者に視認される距離）から見るのが想定される場合、ノイズ生成回路44が生成するノイズデータの絶対値の最大値は、32階調以下に設定する方が望ましい。

【0097】

〔第4の実施形態〕

上記では、ノイズ生成回路が生成するノイズの最大値が一定の場合を例にして説明したが、本実施形態では、入力端子T1に入力される映像データ $D(i, j, k)$ の示す階調によって、ノイズの最大値を変更する構成について説明する。なお、当該構成は、第1ないし第3のいずれの実施形態にも適用できるが、以下では、図12を参照しながら、第1の実施形態に適用した場合について説明する。

【0098】

すなわち、本実施形態に係る変調駆動処理部21cでは、図1に示すノイズ生成回路44に代えて、出力するノイズデータの大きさを変更可能なノイズ生成回路44cが設けられており、さらに、映像データ $D(i, j, k)$ の表示階調レベルを検出し、検出結果に応じた大きさのノイズを出力するように、上記ノイズ生成回路44cへ指示する階調判定部47が設けられている。

【0099】

上記階調判定部47は、例えば、MPEG (Moving Picture Expert Group) ブロックなど、予め定められた大きさのブロックに含まれるサブ画素 $SPIX$ への映像データ D を平均し、例えば、平均値に比例した値など、平均値が高い場合は、低い場合よりも最大値が大きな値のノイズを出力するように指示する。

【0100】

一方、上記ノイズ生成回路44cには、例えば、階調判定部47から指示され

た値を、メモリ 51 の出力に乗算して、出力する乗算回路 54 が設けられており、ノイズ生成回路 44c の出力するノイズデータの最大値を、指示された値に変更する。

【0101】

上記構成では、ブロック内の映像データ D の平均値が高い場合、すなわち、平均値が低い場合に比べて、ノイズの相対的な大きさが小さくなるため、ノイズの大きさを大きくしても、使用者にノイズパターンが認識され難い場合には、ノイズの最大値を大きく設定する。一方、映像データ D の平均値が低い場合、すなわち、平均値が高い場合と比較して、ノイズの相対的な大きさが大きいため、ノイズの大きさを小さくしないと、使用者にノイズパターンが認識される虞れがある場合には、ノイズの最大値を小さく設定する。この結果、ブロックの輝度の平均値がいずれの値であっても、その値に適した値に、ノイズの最大値を設定でき、ノイズの最大値が固定の場合よりも表示品質の高い画像表示装置 1c を実現できる。

【0102】

なお、上記では、平均値を算出するためのブロックが、MPEG ブロックと一致している場合を例にして説明したが、これに限らず、任意の大きさのブロックの平均値を設定してもよい。ただし、MPEG 映像のように、ブロック単位で符号化された映像を表示する場合は、符号化のブロックサイズと、平均値を検出するためのブロックサイズとを略同一に設定する方が望ましい。

【0103】

なお、上記では、ブロックに含まれる全てのサブ画素 SPiX の映像データ D を平均する場合を例にして説明したが、これに限るものではない。例えば、ブロック内のある走査信号線 GL に対応するサブ画素 SPiX(i, j) など、ブロック内の一定数のサブ画素 SPiX への映像データ D を平均する構成であれば、以下の不具合、すなわち、ブロック内に、周囲と大幅に異なる階調が指示されるサブ画素 SPiX(i, j) が存在する場合に、当該サブ画素 SPiX(i, j) への映像データ D(i, j, k) を基準にして、ノイズの最大値を不適切な値に設定してしまうという不具合の発生を防止できる。

【0104】

なお、上記各実施形態では、垂直配向モードかつノーマリブラックモードの液晶セルを表示素子として用いた場合を例にして説明したが、これに限るものではない。応答速度が遅く、階調遷移を強調するように変調して駆動したとしても、前々回から前回への階調遷移において、実際の階調遷移と、所望の階調遷移とに差が発生する表示素子であれば、略同様の効果が得られる。

【0105】

ただし、垂直配向モードかつノーマリブラックモードの液晶セルは、ディケイの階調遷移に対する応答速度がライズの場合に比べて遅く、階調遷移を強調するように変調して駆動したとしても、前々回から前回へのディケイの階調遷移において、実際の階調遷移と、所望の階調遷移とに差が発生しやすく、白光りが発生しやすい。したがって、上記実施形態の構成によって、白光りの発生を防止すると特に好適である。

【0106】

また、上記各実施形態では、変調駆動処理部を構成する各部材がハードウェアのみで実現されている場合を例にして説明したが、これに限るものではない。各部材の全部または一部を、上述した機能を実現するためのプログラムと、そのプログラムを実行するハードウェア（コンピュータ）との組み合わせで実現してもよい。一例として、画像表示装置 1 に接続されたコンピュータが、画像表示装置 1 を駆動する際に使用されるデバイスドライバとして、変調駆動処理部（21～21c）を実現してもよい。また、画像表示装置 1 に内蔵あるいは外付けされる変換基板として、変調駆動処理部が実現され、ファームウェアなどのプログラムの書き換えによって、当該変調駆動処理部を実現する回路の動作を変更できる場合には、当該ソフトウェアが記録された記録媒体を配布したり、当該ソフトウェアを通信路を介して伝送するなどして、当該ソフトウェアを配布し、上記ハードウェアに、そのソフトウェアを実行させることによって、当該ハードウェアを、上記各実施形態の変調駆動処理部として動作させてもよい。

【0107】

これらの場合は、上述した機能を実行可能なハードウェアが用意されていれば

、当該ハードウェアに、上記プログラムを実行させるだけで、上記各実施形態に係る変調駆動処理部を実現できる。

【0108】

【発明の効果】

本発明に係る画像表示装置の駆動装置は、以上のように、各画素の今回の階調を示す第1階調データを、その γ 特性よりも大きな γ 特性を持った第2階調データに変換する階調変換手段と、各画素の今回の第2階調データを次回まで記憶する記憶手段と、当該記憶手段から読み出した前回の第2階調データから、今回の第2階調データへの階調遷移を強調するように、今回の第2階調データを補正する補正手段とを備え、上記第1階調データの変換によって取り得る第2階調データの下限值は、第2階調データが表現可能な数値範囲の下限值よりも大きな値に設定されている構成である。また、本発明に係るプログラムは、上記各手段としてコンピュータを動作させるプログラムであり、本発明に係る記録媒体には、上記プログラムが記録されている。さらに、これらのプログラムが上記コンピュータで実行されると、当該コンピュータは、上記画像表示装置の駆動装置として動作する。

【0109】

これらの構成では、補正手段が前回から今回への階調遷移を強調するように、今回の第2階調データを補正しているので、画素の応答速度を向上できる。加えて、上記構成では、第1階調データは、階調変換手段によって、より大きな γ 特性の第2階調データへ変換される。また、上記第1階調データの変換によって取り得る第2階調データの下限值は、第2階調データが表現可能な数値範囲の下限值よりも大きな値に設定されている。

【0110】

これにより、第2階調データを表示する画素が第2階調データの示す階調を表示する際に黒く潰れる階調は、 γ 変換しない構成と比較して多くなる。また、それらの第2階調データのうち、最小ではない第2階調データが、第1階調データの下限值（黒レベル）に対応している。したがって、補正手段は、当該第2階調データよりも低い階調の第2階調データを、階調遷移強調のために使用でき、画

素の応答速度を向上させることができるという効果を奏する。

【0111】

本発明に係る画像表示装置の駆動装置は、以上のように、上記構成に加えて、上記第2階調データのビット幅は、第1階調データのビット幅よりも広く設定されている構成である。また、本発明に係る画像表示装置の駆動装置は、以上のように、上記構成に加えて、上記第1階調データのビット幅は、8ビットであり、上記第2階調データのビット幅は、10ビットである。

【0112】

これらの構成では、第2階調データのビット幅が第1階調データのビット幅よりも広く設定されているので、階調変換手段は、より高精度に γ 変換できるという効果を奏する。

【0113】

本発明に係る画像表示装置の駆動装置は、以上のように、上記構成に加えて、上記第2階調データを記憶手段および補正手段へ入力する前に、ノイズデータを加算し、さらに、予め定められたビット幅の下位ビットを切り捨てるノイズ付加手段と、互いに同じ色で互いに隣接する画素への第2階調データに加算されるノイズデータ同士がランダムな大きさになるように、上記ノイズデータを生成して、上記ノイズ付加手段へ与えるノイズ生成手段とを備えている構成である。さらに、本発明に係る画像表示装置の駆動装置は、以上のように、上記構成に加えて、上記第1階調データのビット幅は、8ビットであり、上記第2階調データのビット幅は、10ビットであり、上記下位ビットのビット幅は、2ビットである。

【0114】

これらの構成では、記憶手段に記憶される第2階調データは、下位ビットの切り捨てによって階調変換手段が生成した第2階調データよりもビット幅が短く設定されている。したがって、記憶手段に必要な記憶容量を削減できる。また、ノイズ付加手段以降の回路（記憶手段および補正手段など）が処理する階調データのビット幅が削減されているので、これらの回路の回路規模および演算量を削減できると共に、これらの回路を接続するための配線の数および配線の占有面積を削減できる。さらに、上記ノイズ生成手段は、互いに同じ色で互いに隣接する画

素への第2階調データに加算されるノイズデータ同士がランダムな大きさになるようなノイズデータを生成しているため、以下の構成、すなわち、第2階調データの下位ビットを単に切り捨てた結果、各画素に表示される映像に擬似輪郭が発生する構成と異なり、擬似輪郭が発生しない。この結果、記憶手段に記憶される第2階調データのビット幅が、階調変換手段によって生成される第2階調データよりも短くなっているにも拘わらず、各画素に表示される映像の表示品質を、切り捨てない場合と見かけ上相違しない程度に保つことができるという効果を奏する。

【0115】

本発明に係る画像表示装置は、以上のように、上記各駆動装置を備えている構成である。さらに、本発明に係るテレビジョン受像機は、以上のように、当該画像表示装置を備えている構成である。

【0116】

当該構成の画像表示装置およびテレビジョン受像機は、上記駆動装置を備えているので、画素の応答速度を向上できるという効果を奏する。

【図面の簡単な説明】

【図1】

本発明の実施形態を示すものであり、画像表示装置に設けられた変調駆動処理部の要部構成を示すブロック図である。

【図2】

上記画像表示装置の要部構成を示すブロック図である。

【図3】

上記画像表示装置に設けられた画素の構成例を示す回路図である。

【図4】

上記変調駆動処理部に設けられた階調変換回路の動作を示すものであり、階調変換前の数値範囲と変換後の数値範囲との関係を示す図である。

【図5】

上記変調駆動処理部に設けられた γ 変換回路の動作を示すものであり、変換前と変換後の γ 特性を示す図である。

【図 6】

上記画像表示装置の画素アレイに用いられる液晶セルの電圧－透過率特性を示すグラフである。

【図 7】

比較例を示すものであり、画像表示装置のデータ信号線駆動回路が受け取る階調と画素へ印加する電圧との関係を示すグラフである。

【図 8】

上記実施形態に係る画像表示装置のデータ信号線駆動回路が受け取る階調と画素へ印加する電圧との関係を示すグラフである。

【図 9】

上記変調駆動処理部に設けられた階調変換回路およびデータ信号線駆動回路の動作を示すものであり、階調変換前の数値範囲と変換後の数値範囲と画素へ印加される電圧との関係を示す図である。

【図 10】

画像表示装置へ入力される映像データが黒レベルから白レベルへと変化する際において、白輝度で正規化された画素の輝度の応答特性を示すグラフである。

【図 11】

本発明の他の実施形態を示すものであり、変調駆動処理部の要部構成を示すブロック図である。

【図 12】

本発明のさらに他の実施形態を示すものであり、変調駆動処理部の要部構成を示すブロック図である。

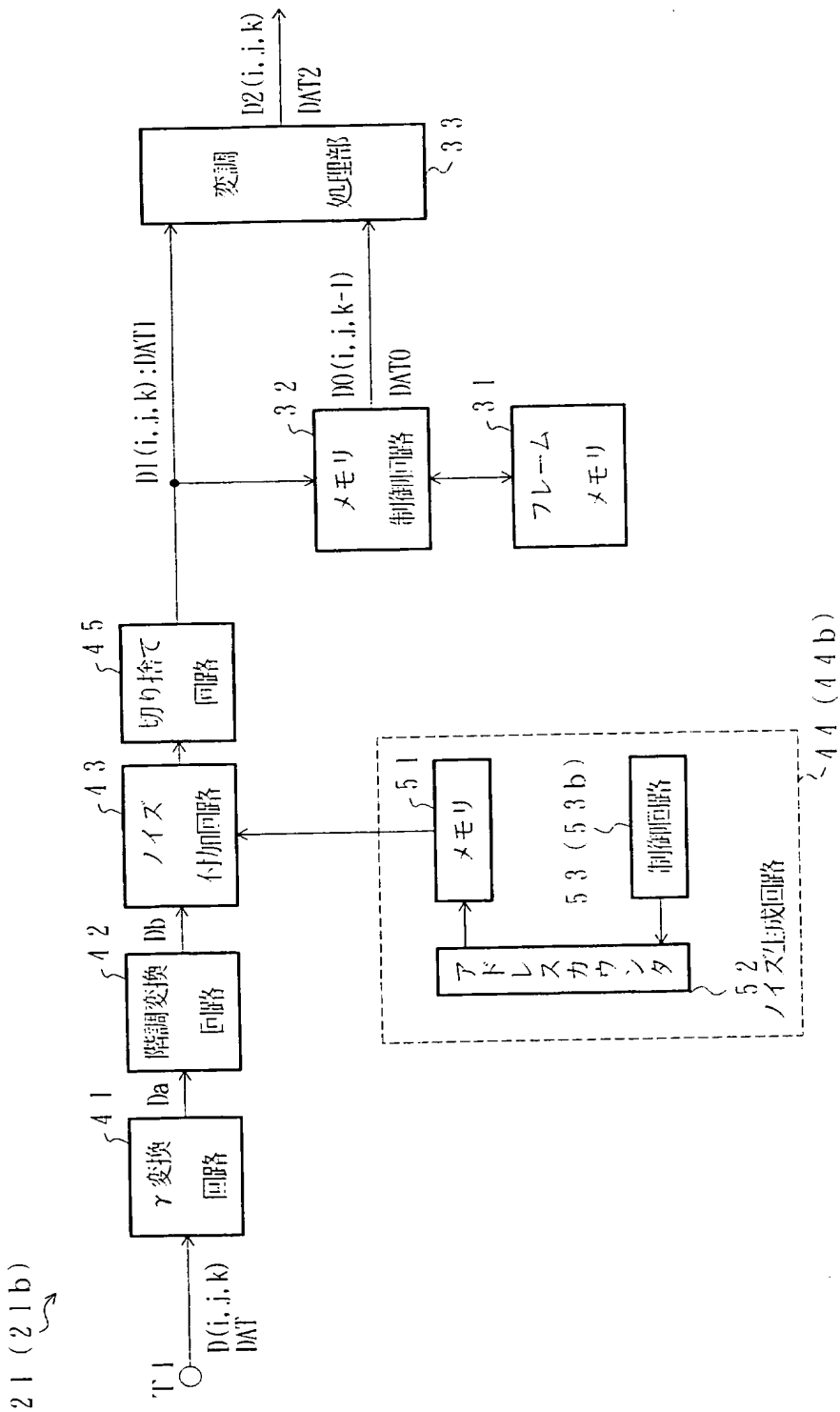
【符号の説明】

1	画像表示装置
21～21c	変調駆動処理部（画像表示装置の駆動装置）
31	フレームメモリ（記憶手段）
33	変調処理部（補正手段）
41	γ 変換回路（階調変換手段）
42	階調変換回路（階調変換手段）

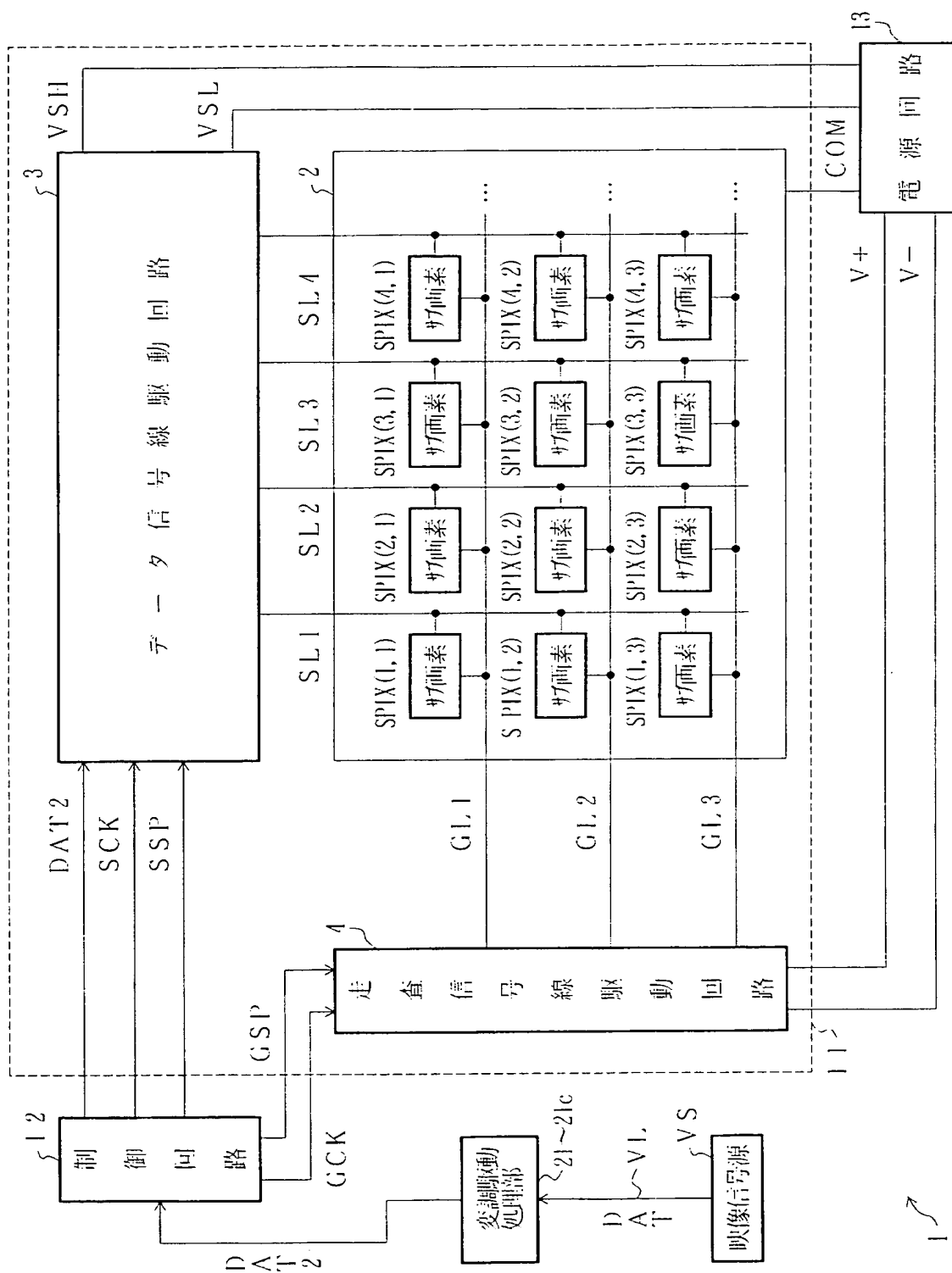
- 4 3 . ノイズ付加回路（ノイズ付加手段）
- 4 4 ノイズ生成回路（ノイズ生成手段）
- 4 5 切り捨て回路（ノイズ付加手段）
- S P I X (1, 1) ... サブ画素（画素）

【書類名】 図面

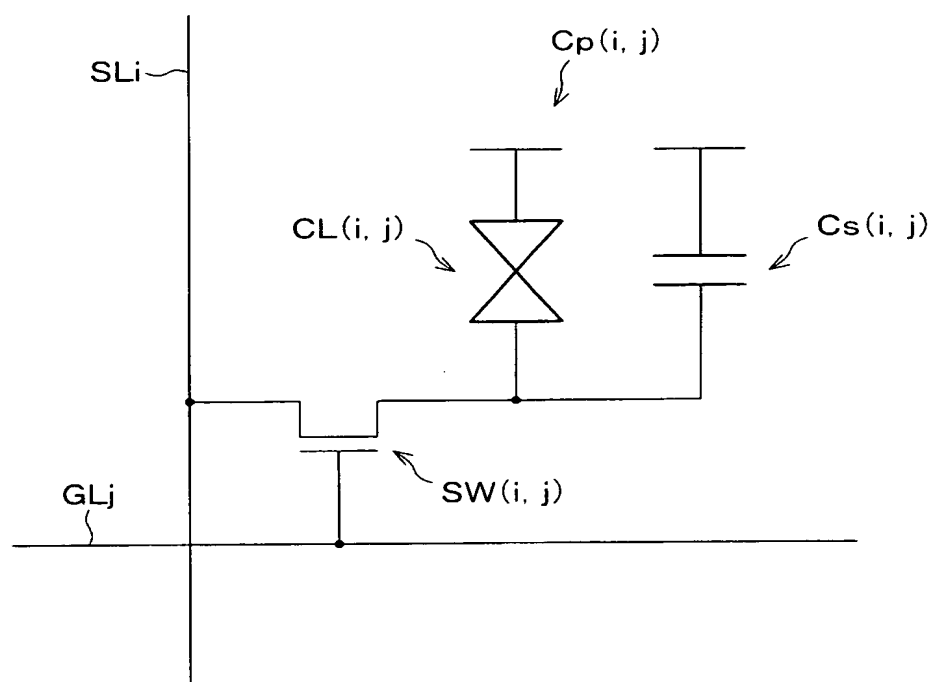
【図 1】



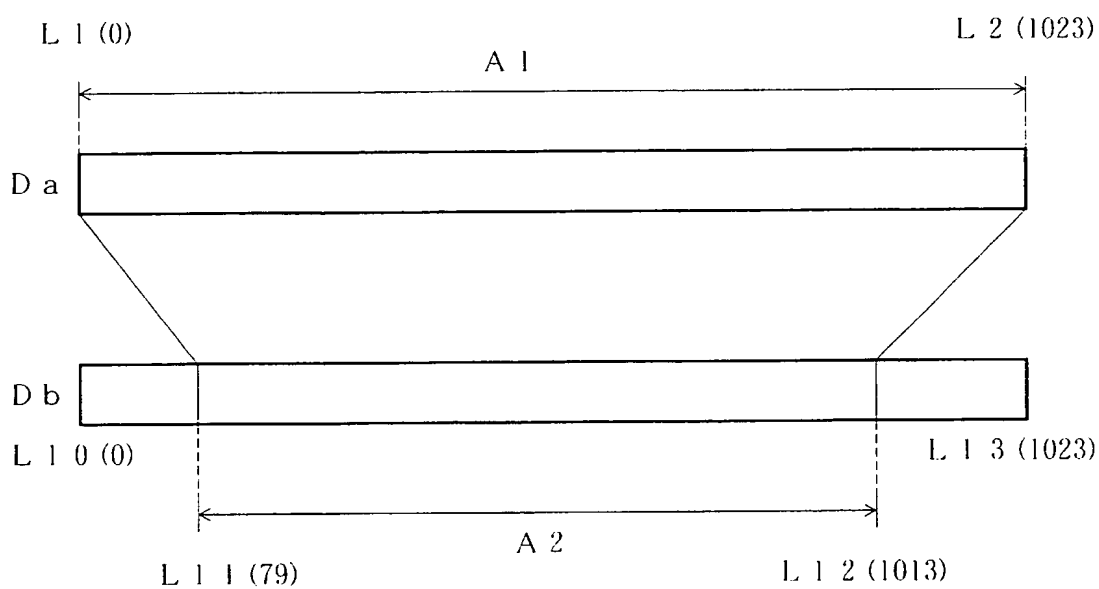
【図 2】



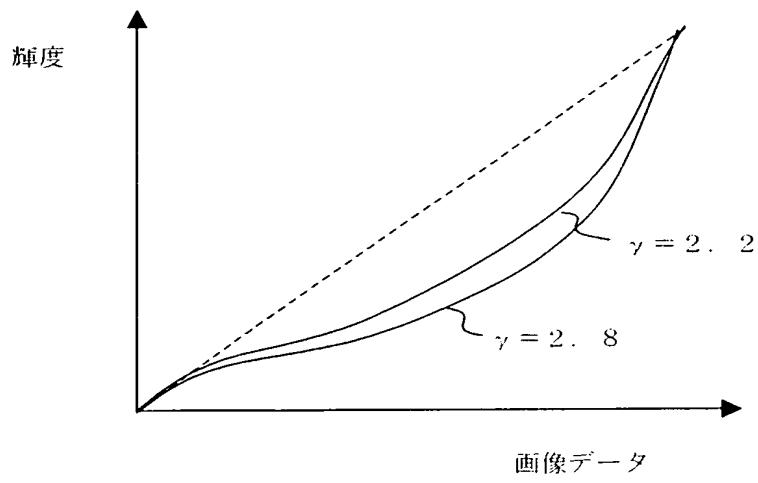
【図 3】



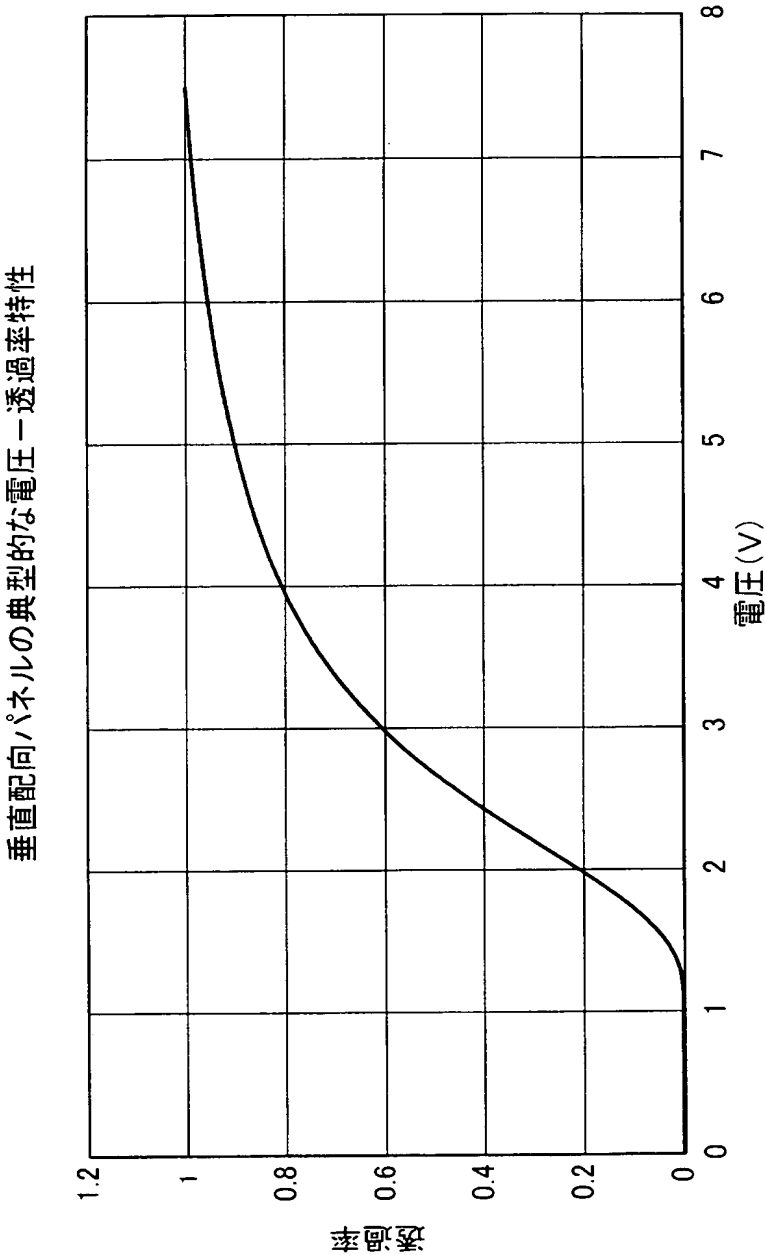
【図 4】



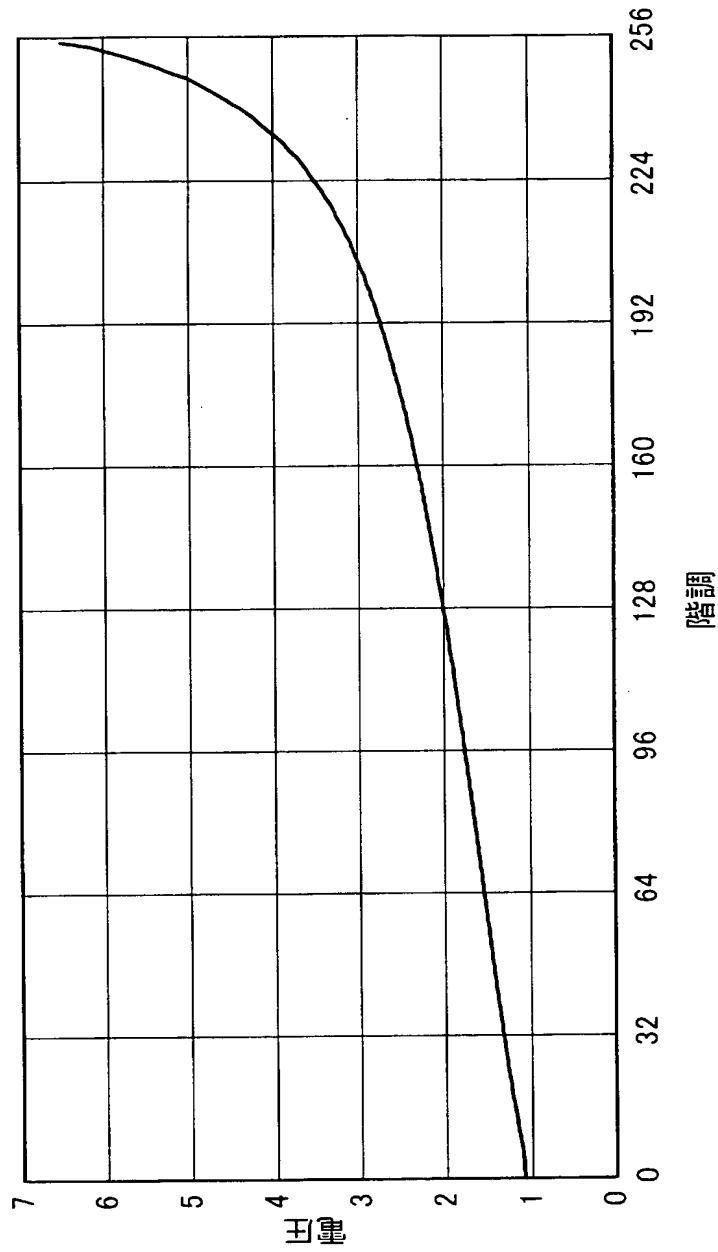
【図 5】



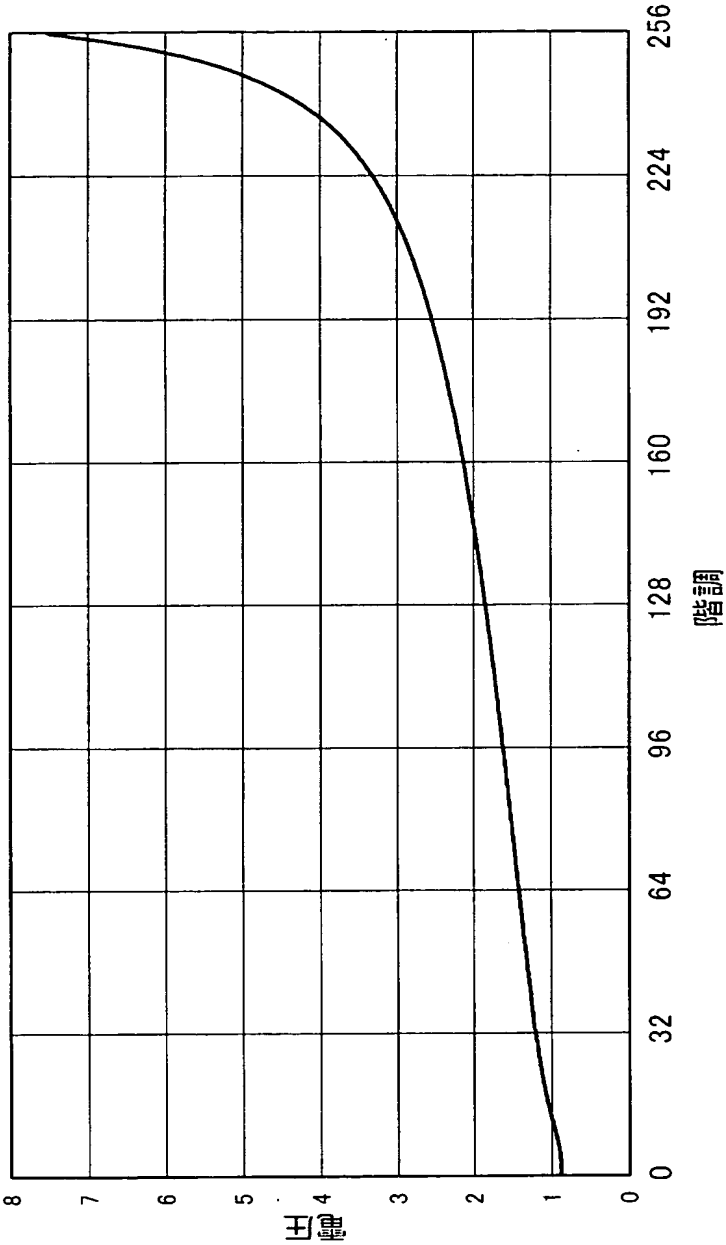
【図 6】



【図 7】



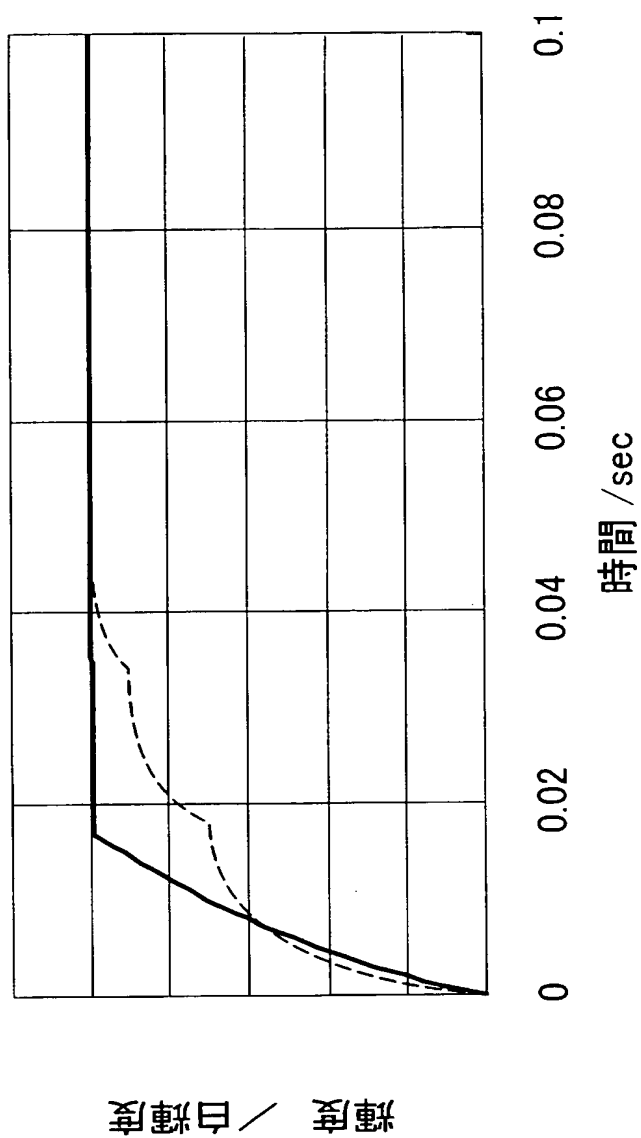
【図 8】



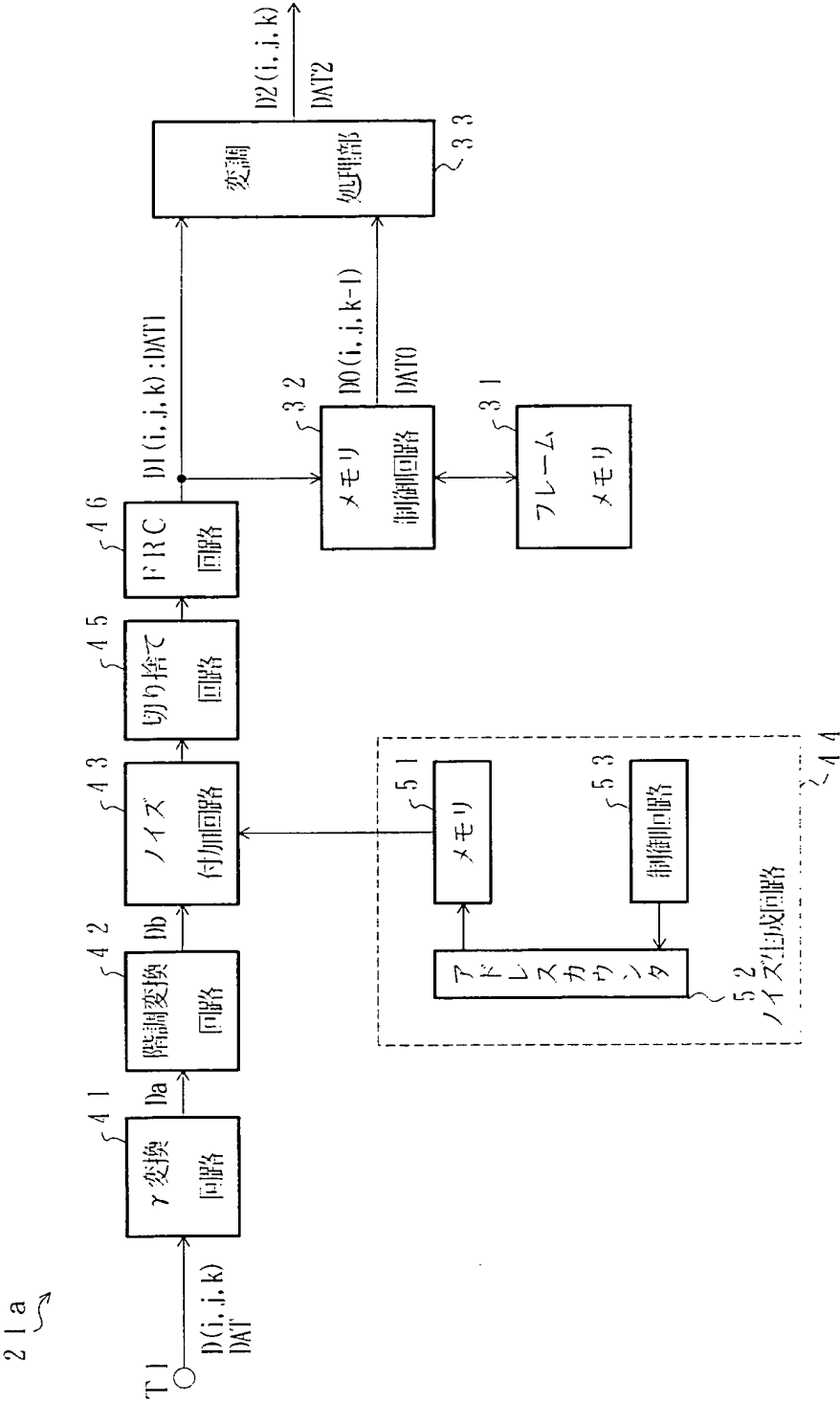
【図 9】

D	階調電圧	Db
0	1.09	79
32	1.33	202
64	1.55	343
96	1.76	467
128	2.01	589
160	2.31	702
192	2.73	809
224	3.52	915
255	6.5	1013

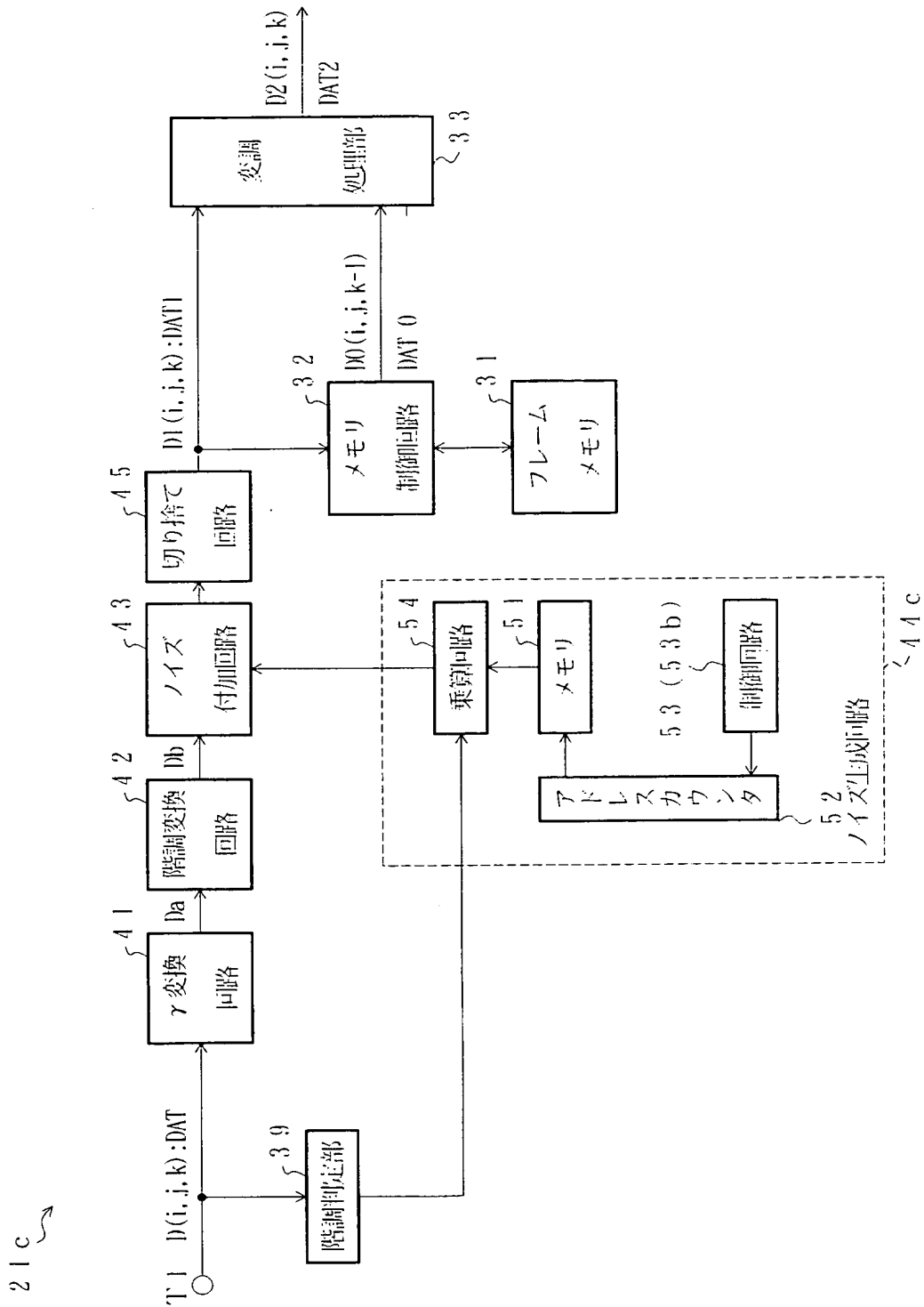
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 最小の階調への階調遷移が要求されている場合であっても、画素の応答速度を向上可能な画像表示装置の駆動装置を実現する。

【解決手段】 γ 変換回路 41 は、入力端子 T1 へ入力される各サブ画素への映像データを γ 変換して、より大きな γ 特性を持った表示デバイスへ表示するための映像データ $D_a(i, j, k)$ に変換する。さらに、階調変換回路 42 は、上記映像データ $D_a(i, j, k)$ が取り得る数値範囲を圧縮して、当該映像データ $D_a(i, j, k)$ と同じビット幅で、しかも、映像データ $D_a(i, j, k)$ の黒レベルよりも低い値を表現可能な映像データ $D_b(i, j, k)$ を生成する。当該映像データ $D_b(i, j, k)$ は、ノイズが付された後、下位ビットが切り捨てられて、映像データ $D_1(i, j, k)$ になる。さらに、変調処理部 33 は、前回から今回への階調遷移を強調するように、映像データ $D_1(i, j, k)$ を補正する。

【選択図】 図 1

特願 2 0 0 3 - 0 9 9 6 3 7

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 0 4 9]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
氏 名	シャープ株式会社